

M  
E  
N  
U[Previous Doc](#)[Next Doc](#)  
[First Hit](#)[Go to Doc#](#)☐ [Generate Collection](#)

L4: Entry 1 of 1

File: JPAB

Mar 16, 1999

PUB-NO: [JP411073799A](#)

DOCUMENT-IDENTIFIER: JP 11073799 A

TITLE: SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: March 16, 1999

## INVENTOR-INFORMATION:

NAME

COUNTRY

NAGATOMO, MASAHIKO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

KK OKI MICRO DESIGN MIYAZAKI

OKI ELECTRIC IND CO LTD

APPL-NO: JP10172853

APPL-DATE: June 19, 1998

INT-CL (IPC): [G11 C 29/00](#); [G11 C 16/06](#)

## ABSTRACT:

PROBLEM TO BE SOLVED: To detect the short conditions between neighboring word lines or bit lines by providing testing memory cell arrays composed of plural testing memory cells installed for each main bit line and testing word lines that simultaneously select this memory cell.

SOLUTION: The bit line testing memory cell array 120 is provided with bit line testing memory cells BM(0)-BM(n) composed from n+1 MOS transistors and the gate of each transistor is connected to respective bit line testing word lines WLET. The drains corresponding to odd number memory cells are connected to the main bit lines and the drains for even number memory cells are floating. By the input of a testing signal WSBT, the odd number bit lines become conducting to be brought to a low level and even number bit lines reach a high level. When short exists between neighboring bit lines, these bit lines are brought to a low level.

COPYRIGHT: (C)1999, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-73799

(43)公開日 平成11年(1999) 3月16日

(51)Int.Cl.<sup>8</sup>

G 1 1 C 29/00  
16/06

識別記号

6 7 3

F I

G 1 1 C 29/00  
17/00

6 7 3 W  
6 3 1

審査請求 未請求 請求項の数14 O L (全 8, 頁)

(21)出願番号 特願平10-172853

(22)出願日 平成10年(1998) 6月19日

(31)優先権主張番号 特願平9-164440

(32)優先日 平 9 (1997) 6 月20日

(33)優先権主張国 日本 (J P)

(71)出願人 591049893

株式会社沖マイクロデザイン宮崎  
宮崎県宮崎市大和町 9 番 2 号

(71)出願人 000000295

沖電気工業株式会社  
東京都港区虎ノ門 1 丁目 7 番12号

(72)発明者 長友 雅彦

宮崎県宮崎市大和町 9 番 2 号 株式会社沖  
マイクロデザイン宮崎内

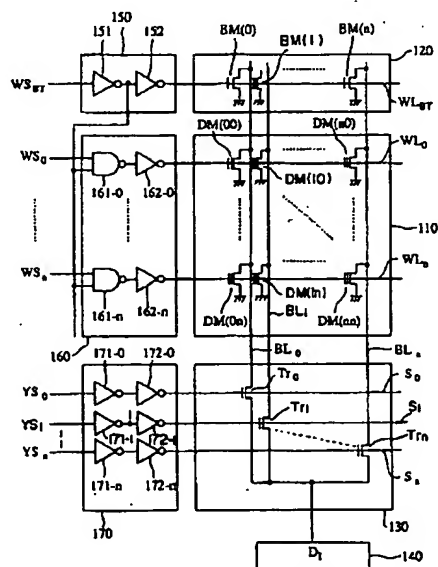
(74)代理人 弁理士 大西 健治

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 メモリセルにデータを書き込むことなく、ビット線間やワード線間のショートの有無を検出することができる半導体装置を提供する。

【解決手段】 マトリクス状に配列された複数の本メモリセルDM(00)～DM(nn)を有する本メモリセルアレイ110と、この本メモリセルアレイ110の行選択を行う本ワード線WL0～WLnと、本メモリセルアレイの列選択を行う本ビット線BL0～BLnとを備えた半導体記憶装置において、本ビット線ごとに設けられたテスト用メモリセルBM(0)～BM(n)からなるテスト用メモリセルアレイ120と、このテスト用メモリセルアレイ120を構成するテスト用メモリセルBM(0)～BM(n)を同時に選択するテスト用ワード線WTBTとを設けた。



110:本メモリセルアレイ 120:ビット線テスト用メモリセルアレイ  
130:本マルチプレクサ 140:アンプ  
150:ビット線テスト用ドライバ回路  
160:行選択用ドライバ回路 170:列選択用ドライバ回路

図1の装置の形態の構成図

## 【特許請求の範囲】

【請求項1】 マトリクス状に配列された複数個の本メモリセルを有する本メモリセルアレイと、この本メモリセルアレイの行選択を行う複数本の本ワード線と、前記本メモリセルアレイの列選択を行う複数本の本ビット線とを備えた半導体記憶装置において、

前記複数本の本ビット線ごとに設けられた複数個のテスト用メモリセルからなるテスト用メモリセルアレイと、このテスト用メモリセルアレイを構成する前記テスト用メモリセルを同時に選択するテスト用ワード線と、

を備えたことを特徴とする半導体記憶装置。

【請求項2】 前記テスト用メモリセルは、所定のデータを記憶するテスト用メモリセルと前記本ビット線に接続されないテスト用メモリセルとが交互に設けられたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記テスト用メモリセルとして、データ「1」を記憶する前記テスト用メモリセルとデータ「0」を記憶する前記テスト用メモリセルとが交互に設けられたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記テスト用ワード線が選択されているときに前記本ワード線が選択されることを禁止する行選択禁止回路を備えたことを特徴とする請求項1～3のいずれかに記載の半導体記憶装置。

【請求項5】 前記本メモリセルは、フローティングゲートトランジスタで構成されることを特徴とする請求項1～4のいずれかに記載の半導体記憶装置。

【請求項6】 前記テスト用メモリセルがフローティングゲートトランジスタで構成されることを特徴とする請求項1～5のいずれかに記載の半導体記憶装置。

【請求項7】 前記本ビット線に電位を検知するアンプと、前記アンプと前記ビット線との間に接続され、所定のビット線のみを選択するビット線選択回路とを更に有する請求項1～6のいずれかに記載の半導体記憶装置。

【請求項8】 マトリクス状に配列された複数個の本メモリセルを有する本メモリセルアレイと、この本メモリセルアレイの行選択を行う複数本の本ワード線と、前記本メモリセルアレイの列選択を行う複数本の本ビット線とを備えた半導体記憶装置において、

前記本ワード線にそれぞれ接続された複数のテスト用メモリセルからなるテスト用メモリセルアレイと、このテスト用メモリセルアレイを構成する前記テスト用メモリセルから記憶データを読み出すテスト用ビット線と、

を備えたことを特徴とする半導体記憶装置。

【請求項9】 前記テスト用メモリセルは、所定のデータが記憶されたテスト用メモリセルと前記テスト用ビット線に接続されないテスト用メモリセルとが交互に設けられたことを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記テスト用メモリセルとして、データ「1」を記憶する前記テスト用メモリセルとデータ「0」を記憶する前記テスト用メモリセルとが交互に設けられたことを特徴とする請求項8に記載の半導体記憶装置。

【請求項11】 前記テスト用ビット線が選択されているときに前記本ビット線が選択されることを禁止する列選択禁止回路を備えたことを特徴とする請求項8～10のいずれかに記載の半導体記憶装置。

【請求項12】 前記本メモリセルがフローティングゲートトランジスタで構成されることを特徴とする請求項8～11のいずれかに記載の半導体記憶装置。

【請求項13】 前記テスト用メモリセルがマスクROMセルであることを特徴とする請求項8～12のいずれかに記載の半導体記憶装置。

【請求項14】 前記テスト用メモリセルがフローティングゲートトランジスタで構成されることを特徴とする請求項8～13のいずれかに記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えばOTP(One Time Programmable read only memory)等の半導体記憶装置に関するものである。

【0002】

【従来の技術】従来の半導体記憶装置について、OTPを例に採って説明する。OTPは、EPROM(Erasable Programmable Read Only Memory)と同じ構造のメモリセル、すなわちFAMOS(Floating gate Avalanche injection MOS)トランジスタを用いて構成したメモリセルを備えたPROM(Programmable Read Only Memory)であり、データ消去用の紫外線照射窓を備えていない点のみがEPROMと異なる。従って、このOTPは、ユーザレベルでのデータ書き込みが可能であるものの、一度書き込んだデータを消去することができないという特徴を有している。

【0003】

【発明が解決しようとする課題】しかしながら、従来のOTPでは、上述したように一度書き込んだ情報を消去することができないために、パッケージング後の評価試験において精度の高い試験結果を得ることができないという課題があった。以下、この課題について説明する。

【0004】一般に、OTPメモリチップのパッケージング前に行う評価試験では、メモリセルに紫外線を照射することが可能である。このため、かかる評価試験では、各メモリセルにデータを書き込んだ後にこのデータを読み出して、書き込みデータと読み出しデータとの比較を行う。そして、書き込みデータと読み出しデータとがすべて一致する場合は、ワード線およびビット線のいずれにも製造不良が無いと判断する。これに対して、メモリチップのパッケージング後においては、上述のよう

に一度書き込んだ情報を消去することができないので、評価試験でデータの書き込みを行うことができない。このため、従来は、このOTPに何も書き込まれていない状態（このとき記憶データはすべて「1」となる）からデータの読み出しを行い、この読み出しデータがすべて「1」の場合は製造不良がないものとして扱っていた。

【0005】しかし、このような方法には、例えば隣接するワード線どうし或いはビット線どうしがショートしているような場合でも、この製造不良を検出することができないという欠点がある。これは、ワード線やビット線のショートの有無に拘わらず、読み出しデータはすべて「1」となるからである。このため、従来は、パッケージング後の評価試験においては精度の高い試験結果を得ることができず、従って、例えばパッケージング工程における熱ストレス等でワード線どうし或いはビット線どうしのショートが発生することがあっても検出することができなかった。そして、このことが、OTPの不良チップの出荷を低減させる上での障害の一つになっていた。

【0006】また、パッケージング後の評価試験で読み出しデータが「0」となった場合、OTPに不良があることは検出できるものの、その原因（ワード線やビット線のショートによるものなのか、他の原因によるものなのか等）を知ることができないので、不良品の発生を低減させるための検討を行うことが困難であった。このような理由により、メモリセルに対してデータの書き込みを行うことなくワード線やビット線のショートの有無を検出することができる評価試験技術の登場が囑望されていた。

【0007】

【課題を解決するための手段】この発明では、マトリクス状に配列された複数の本メモリセルを有する本メモリセルアレイと、この本メモリセルアレイの行選択を行う複数の本ワード線と、本メモリセルアレイの列選択を行う複数の本ビット線とを備えた半導体記憶装置において、本ビット線ごとに設けられた複数のテスト用メモリセルからなるテスト用メモリセルアレイと、このテスト用メモリセルアレイを構成するテスト用メモリセルを同時に選択するテスト用ワード線とを備えている。このような構成によれば、テスト用ワード線を選択した状態では本ビット線を順次選択することによって、テスト用メモリセルアレイの各テスト用メモリセルに記憶されたデータを本ビット線から順次読み出すことができる。そして、これにより、本メモリセルに対するデータの書き込みを行うことなく、本ビット線のショートの有無を検出することができる。

【0008】また、他の発明では、マトリクス状に配列された複数の本メモリセルを有する本メモリセルアレイと、この本メモリセルアレイの行選択を行う複数の本ワード線と、本メモリセルアレイの列選択を行う複数の

本の本ビット線とを備えた半導体記憶装置において、本ワード線ごとに設けられた複数のテスト用メモリセルからなるテスト用メモリセルアレイと、このテスト用メモリセルアレイを構成するテスト用メモリセルのデータを読み出すテスト用ビット線とを備えている。このような構成によれば、テスト用ビット線を選択した状態で本ワード線を順次選択することによって、テスト用メモリセルアレイの各テスト用メモリセルに記憶されたデータをテスト用ビット線から順次読み出すことができる。そして、これにより、本メモリセルに対するデータの書き込みを行うことなく、本ワード線のショートの有無を検出することができる。

【0009】

【発明の実施の形態】以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎない。また、以下に説明する数値的条件は単なる例示にすぎないことを理解されたい。

【0010】以下、この発明の第1の実施の形態として、この発明をOTPのビット線の評価試験に適用した場合を例に採り、図1を用いて説明する。図1は、この実施の形態に係るOTPの要部構成を概略的に示す回路図である。同図に示したように、本メモリセルアレイ110は、マトリクス状に配置された $(n+1) \times (n+1)$ 個の本メモリセルDM(00)～DM(nn)を備えている。そして、各メモリセルDM(00)～DM(nn)は、それぞれ、FAMOSトランジスタによって構成されている。ここで、各メモリセルDM(00)～DM(nn)を構成する各FAMOSトランジスタのコントロールゲートは、それぞれ、同一行ごとに設けられた本ワード線WL0～WL<sub>n</sub>に接続されている。また、これらのFAMOSトランジスタのドレインは、それぞれ、同一列ごとに設けられた本ビット線BL0～BL<sub>n</sub>に接続されている。さらに、各FAMOSトランジスタのソースは、それぞれ接地されている。

【0011】ビット線テスト用メモリセルアレイ120は、 $n+1$ 個のビット線テスト用メモリセルBM(0)～BM(n)を備えている。そして、各メモリセルBM(0)～BM(n)は、それぞれMOSTランジスタによって構成されている。ここで、各メモリセルBM(0)～BM(n)を構成する各MOSTランジスタのゲートは、それぞれビット線テスト用ワード線WLBTに接続されている。また、これらのMOSTランジスタのうち、奇数番目のメモリセルBM(0)、BM(2)、・・・を構成するものはドレインがそれぞれ本ビット線BL0、BL2、・・・に接続されており、偶数番目のメモリセルBM(1)、BM(3)、・・・を構成するものはドレインが浮遊状態になっている。さらに、各MOSTランジスタのソースは、それぞれ接地されている。このように、このメモリセルアレイ

5

120は、マスクROMを構成している。

【0012】本マルチプレクサ130は、 $n+1$ 個のMOSTランジスタ $Tr0 \sim Trn$ を備えている。そして、各MOSTランジスタ $Tr0 \sim Trn$ のゲートは、それぞれセレクト信号線 $S0 \sim Sn$ に接続されている。また、これらのMOSTランジスタ $Tr0 \sim Trn$ のソースは、それぞれ、本ビット線 $BL0 \sim BLn$ に接続されている。さらに、各MOSTランジスタ $Tr0 \sim Trn$ のドレインは、アンプ140の信号入力端子DIに接続されている。アンプ140は、信号入力端子DIから電流を出力する。この電流は、MOSTランジスタ $Tr0 \sim Trn$ を介して各ビット線 $BL0 \sim BLn$ に供給される。そして、アンプ140は、このときの電圧レベルを検知し、読み出しデータとして外部に出力する。ビット線テスト用ドライバ回路150は、直列に接続された2段の反転ゲート151、152を備えている。そして、1段目の反転ゲート151の入力端からビット線テスト信号WSBTを入力する。一方、2段目の反転ゲート152の出力端は、ビット線テスト用ワード線WLBTに接続されている。行選択用ドライバ回路160は、直列に接続されたNANDゲート161-0 $\sim$ 161-nおよび反転ゲート162-0 $\sim$ 162-nを備えている。そして、NANDゲート161-0 $\sim$ 161-nの一方の入力端には、それぞれ、外部からの行選択信号 $WS0 \sim WSn$ が入力される。また、NANDゲート161-0 $\sim$ 161-nの他方の入力端には、テスト用ドライバ回路150に設けられた反転ゲート151の出力信号が入力される。一方、反転ゲート162-0 $\sim$ 162-nの出力端は、本ワード線 $WL0 \sim WLn$ に接続されている。列選択用ドライバ回路170は、直列に接続された2段の反転ゲート171-0 $\sim$ 171-n、172-0 $\sim$ 172-nを備えている。そして、1段目の反転ゲート171-0 $\sim$ 171-nの入力端から列選択信号 $YS0 \sim YSn$ が入力される。一方、2段目の反転ゲート172-0 $\sim$ 172-nの出力端からは、セレクト信号 $S0 \sim Sn$ が出力される。

【0013】次に、この実施の形態に係るOTPの評価試験を行う際の動作について、説明する。まず、アンプ140の信号入力端子DIからの電流の出力を開始させるとともに、列選択信号 $YS0 \sim YSn$ をローレベルに設定する。続いて、ビット線テスト信号WSBTをハイレベルにすると、反転ゲート151の出力信号はローレベルになる。したがって、反転ゲート152の出力信号はハイレベルになる。ビット線テスト用メモリセルアレイ120に設けられた各メモリセル $BM(0) \sim BM(n)$ のMOSTランジスタのゲート電位はハイレベルになるので、これらのMOSTランジスタがオンする。また、反転ゲート151の出力信号がローレベルになることにより、行選択用ドライバ回路160内のNANDゲート161-0 $\sim$ 161-nの出力はハイレベルに固定される。従

6

って反転ゲート162-0 $\sim$ 162-nの出力(すなわちワード線 $WL0 \sim WLn$ の電位)はローレベルに固定されるので、本メモリセル $DM(00) \sim DM(nn)$ は動作しない。次に、列選択信号 $YS0$ をローレベルからハイレベルに変化させて、本マルチプレクサ130内のMOSTランジスタ $Tr0$ をオンさせる。これにより、最初のビット線 $BL0$ の電位がアンプ140によって検知される。その後、列選択信号 $YS0$ をローレベルに戻してMOSTランジスタ $Tr0$ をオフさせる。同様に、列選択信号 $YS1, YS2, \dots$ によってMOSTランジスタ $Tr1, Tr2, \dots$ を制御することにより、ビット線 $BL1, BL2, \dots$ の信号レベルを順次読み出す。

【0014】上述したように、各メモリセル $BM(0) \sim BM(n)$ のMOSTランジスタのうち、奇数番目のメモリセル $BM(0), BM(2), \dots$ を構成するものは、ドレインがそれぞれビット線 $BL0, BL2, \dots$ に接続されている。従って、テスト信号WSBTをハイレベルにすることにより、奇数番目のビット線 $BL0, BL2, \dots$ は、メモリセル $BM(0), BM(2), \dots$ を介して、グランドと導通する。一方、偶数番目のメモリセル $BM(1), BM(3), \dots$ を構成するMOSTランジスタのドレインには何も接続されていないので、テスト信号WSBTをハイレベルにしても、これらのMOSTランジスタに対応するビット線 $BL1, BL3, \dots$ はグランドとは導通しない。従って、ビット線の製造不良(すなわち隣接するビット線間のショート)が存在しない場合には、奇数番目のビット線 $BL0, BL2, \dots$ はすべてローレベルとなり、偶数番目のビット線 $BL1, BL3, \dots$ はすべてハイレベルとなる。一方、隣接するビット線間(ここでは奇数番目のビット線 $BL2m$ と偶数番目のビット線 $BL2m-1$ について考える)のショートが存在する場合には、偶数番目のビット線 $BL2m$ は奇数番目のビット線 $BL2m-1$ を介してグランドと導通するので、両ビット線 $BL2m-1, BL2m$ ともにローレベルとなる。

【0015】このような理由により、奇数番目のビット線 $BL0, BL2, \dots$ の信号レベルがすべてローレベルであり且つ偶数番目のビット線 $BL1, BL3, \dots$ の信号レベルがすべてハイレベルであった場合はビット線の製造不良が無いと判断することができ、他の場合はビット線の製造不良があると判断することができ。このように、この実施の形態に係るOTPによれば、本メモリセル $DM(00) \sim DM(nn)$ に対してデータの書き込みを行うことなくビット線 $BL0 \sim BLn$ のショートの有無を検出することができる。従って、評価試験の精度を向上させることができる。

【0016】次に、この発明の第2の実施の形態について、図2を用いて説明する。この実施の形態は、この発明をOTPのワード線の評価試験に適用した点が、上述

の第1の実施の形態と異なる。図2は、この実施の形態に係るOTPの要部構成を概略的に示す回路図である。同図において、図1と同じ符号を付した構成部は、それぞれ図1の場合と同じものを示しているため、説明を省略する。図2において、ワード線テスト用メモリセルアレイ210は、 $n+1$ 個のワード線テスト用メモリセルWM(0)～WM(n)を備えている。各メモリセルWM(0)～WM(n)は、それぞれMOSトランジスタによって構成されている。各メモリセルWM(0)～WM(n)を構成する各MOSトランジスタのゲートは、それぞれ本ワード線WL0～WL $n$ に接続されている。また、これらのMOSトランジスタのうち、奇数番目のメモリセルWM(0), WM(2), …を構成するものはドレインがテスト用ビット線BLWTに接続されており、偶数番目のメモリセルWM(1), WM(3), …を構成するものはドレインが浮遊状態になっている。さらに、各MOSトランジスタのソースは、それぞれ接地されている。このようにして、このワード線テスト用メモリセルアレイ210は、マスクROMを構成している。

【0017】ワード線テスト用マルチプレクサ220は、1個のMOSトランジスタTrWTを備えている。そして、このMOSトランジスタTrWTのゲートは、ワード線テスト用ドライバ回路230の出力端に接続されている。また、このMOSトランジスタTrWTのソースはテスト用ビット線BLWTに接続され、ドレインはアンプ140の信号入力端子DIに接続されている。ワード線テスト用ドライバ回路230は、直列に接続された2段の反転ゲート231, 232を備えている。1段目の反転ゲート231の入力端にはビット線テスト信号YSWTが入力される。一方、2段目の反転ゲート232の出力端は、上述のように、マルチプレクサ220に設けられたMOSトランジスタTrWTのゲートに接続されている。行選択用ドライバ回路240は、直列に接続された2段の反転ゲート241-0～241- $n$ , 242-0～242- $n$ を備えている。1段目の反転ゲート241-0～241- $n$ の入力端には、それぞれ、外部からの行選択信号WS0～WS $n$ が入力される。また、2段目の反転ゲート242-0～242- $n$ の出力端は、本ワード線WL0～WL $n$ にそれぞれ接続されている。列選択用ドライバ回路250は、直列に接続された $n+1$ 個ずつのNANDゲート251-0～251- $n$ および反転ゲート252-0～252- $n$ を備えている。そして、各NANDゲート251-0～251- $n$ の一方の入力端には、それぞれ、外部からの列選択信号YS0～YS $n$ が入力される。また、NANDゲート251-0～251- $n$ の他方の入力端には、テスト用ドライバ回路230に設けられた反転ゲート231の出力信号が入力される。各反転ゲート252-0～252- $n$ の出力端は、本マルチプレクサ130に設けられた各トランジスタTr0～Tr $n$ のゲートにそれぞれ接続されている。

【0018】次に、この実施の形態に係るOTPの評価試験を行う際の動作について、説明する。まず、アンプ140の信号入力端子DIからの電流の供給を開始するとともに、行選択信号WS0～WS $n$ をすべてローレベルにする。続いて、ワード線テスト信号YSWTをハイレベルにすると、反転ゲート231の出力信号はローレベルになる。したがって、反転ゲート232の出力信号はハイレベルになる。ワード線テスト用マルチプレクサ220に設けられたMOSトランジスタTrWTは、ゲート電位がハイレベルになるのでオンする。反転ゲート231の出力信号がローレベルになることにより、列選択用ドライバ回路250内のNANDゲート251-0～251- $n$ の出力はハイレベルに固定される。従って反転ゲート252-0～252- $n$ の出力（すなわち本マルチプレクサ130に設けられた各トランジスタTr0～Tr $n$ のゲート電位）はローレベルに固定されるので、本ビット線BL0～BL $n$ は選択されない。次に、行選択信号WS0をローレベルからハイレベルに変化させて、ワード線テスト用メモリセルWM(0)内のMOSトランジスタをオンさせる。その後、このときのビット線BLWTの電位をアンプ140から読み出した後、行選択信号WS0をローレベルに戻してこのMOSトランジスタをオフさせる。同様に、行選択信号WS1, WS2, …によってメモリセルWM(1)～WM(n)を順次オンさせたときのワード線テスト用ビット線BLWTの電位をアンプ140から読み出す。

【0019】ここで、上述したように、これらのMOSトランジスタのうち、奇数番目のメモリセルWM(0), WM(2), …を構成するものは、ドレインがそれぞれワード線テスト用ビット線BLWTに接続されている。従って、これらのメモリセルWM(0), WM(2), …内のMOSトランジスタをオンさせたときは、ビット線BLWTがグランドと導通する。一方、偶数番目のメモリセルWM(1), WM(3), …を構成するMOSトランジスタのドレインには何も接続されていないので、これらのMOSトランジスタをオンさせたときにはビット線BLWTとグランドとは導通しない。このため、アンプ140の出力電圧は、ワード線の製造不良（すなわち隣接するワード線間のショート）が存在しない場合には、奇数番目のワード線WL(0), WL(2), …が選択されている場合（即ちメモリセルWM(0), WM(2), …内のMOSトランジスタをオンさせたとき）はワード線テスト用ビット線BLWTはローレベルとなり、偶数番目のワード線WL(1), WL(3), …が選択されている場合（即ちメモリセルWM(1), WM(3), …内のMOSトランジスタをオンさせたとき）はワード線テスト用ビット線BLWTはハイレベルとなる。一方、隣接するワード線間（ここでは奇数番目のワード線WL2 $m$ と偶数番目のワード線WL2 $m-1$ について考える）のショートが存在する場合には、これらのワード線WL2 $m$ , WL2 $m-1$ のい

れをハイレベルにした場合にもメモリセルWM(2m)内のMOSトランジスタがオンするので、アンプ140の出力値は共にローレベルとなる。従って、奇数番目のワード線WL(0), WL(2), ...を選択したときのアンプ140の出力電圧がすべてローレベルであり且つ偶数番目のワード線WL(1), WL(3), ...を選択したときの出力電圧がすべてハイレベルであった場合はワード線の製造不良が無いと判断することができ、他の場合はワード線の製造不良があると判断することができる。このように、この実施の形態に係るOTPによれば、本メモリセルDM(00)~DM(nn)に対してデータの書き込みを行うことなくワード線WL0~WLnのショートの有無を検出することができる。従って、評価試験の精度を向上させることができる。

【0020】次に、この発明の第3の実施の形態について、図3を用いて説明する。この実施の形態は、上述の第1の実施の形態と第2の実施の形態とを組み合わせたものである。図3は、この実施の形態に係る半導体記憶装置の要部構成を概略的に示す回路図である。同図に示した各構成部は、図1または図2の同符号を付した構成部と同じものであるので、説明を省略する。

【0021】図3に示した半導体記憶装置において、本ビット線BL0~BLnの評価試験を行う際には、まず、第1の実施の形態の場合と同様にして、アンプ140の信号入力端子DIからの電流の供給を開始するとともに、列選択信号YS0~YSnをローレベルに設定する。そして、ビット線テスト信号WSBTをハイレベルに、ワード線テスト信号YSWTをローレベルに、それぞれ設定する。反転ゲート151の出力信号がローレベルになるので、NANDゲート161-0~161-nの出力はハイレベルに固定される。従って本メモリセルDM(00)~DM(nn)は動作しない。一方、反転ゲート231の出力信号はハイレベルになるので、NANDゲート251-0~251-nの出力は列選択信号YS0~YSnの信号値を反転した値となる(すなわち、図1の列選択用ドライバ回路170と同じ動作をするようになる)。従って、第1の実施の形態の場合と同様にして、列選択信号YS0~YSnを制御してビット線BL(0), BL(1), ...の信号レベルを順次読み出すことにより、これらのビット線の製造不良を検出することができる。

【0022】一方、かかる半導体記憶装置において、本ワード線WL0~WLnの評価試験を行う際には、まず、第2の実施の形態と同様にして、アンプ140の信号入力端子DIから各ビット線への電流の供給を開始するとともに、行選択信号WS0~WSnをすべてローレベルにする。その後、テスト信号YSWTをハイレベルに、テスト信号WSBTをローレベルに、それぞれ設定する。反転ゲート231の出力信号がローレベルになるので、NANDゲート251-0~251-nの出力はハイレベルに固定さる。従って、マルチプレクサ130内の各M

OSTランジスタTr0~Trnはオンしない。一方、反転ゲート151の出力信号はハイレベルになるので、NANDゲート161-0~161-nの出力は行選択信号WS0~WSnの信号値を反転した値となる(すなわち、図2の行選択用ドライバ回路240と同じ動作をするようになる)。従って、第2の実施の形態の場合と同様にして、行選択信号WS0~WSnを制御することにより、ワード線WL0~WLnの製造不良を検出することができる。

【0023】このように、この実施の形態に係るOTPによれば、本メモリセルDM(00)~DM(nn)に対してデータの書き込みを行うことなくビット線BL0~BLnおよびワード線WL0~WLnのショートの有無を検出することができる。従って、評価試験の精度を向上させることができる。

【0024】なお、以上説明した各実施の形態では、ビット線テスト用メモリセルアレイ120およびワード線テスト用メモリセルアレイ210をマスクROMセルで構成したが、これに代えてOTPセルで構成することとしてもよい。これにより、OTPチップからデータを読み出す場合のみならず、OTPチップにデータを書き込む場合(この場合はテスト用メモリセルアレイ120, 210にデータを書き込むことになる)の評価試験も行うことができる。また、上述の各実施の形態では、ビット線テスト用回路(メモリセルアレイ120やドライバ回路150等)およびワード線テスト用回路(メモリセルアレイ210やマルチプレクサ220、ドライバ回路230等)をそれぞれ1個ずつ設けることとしたが、これらの回路をそれぞれ複数個ずつ設けることとしてもよい。そして、これらの複数個のテスト用回路をそれぞれ用いて複数回の評価試験を行うことにより、この評価試験で発見された動作不良がビット線やワード線のショート等に起因するものであるのか或いはビット線テスト用回路やワード線テスト用回路の製造不良に起因するものであるのかを概ね知ることができる。また、これらの複数個のテスト用回路にそれぞれ異なる値のデータを格納しておくことにより、異なるデータを用いた複数回の評価試験を行うことが可能となり、評価試験の信頼性を高めることができる。

【0025】

【発明の効果】以上詳細に説明したように、この発明によれば、メモリセルに対してデータの書き込みを行うことなくワード線やビット線のショートの有無を検出することができる半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】第1の実施の形態に係るOTPの要部構成を概略的に示す回路図である。

【図2】第2の実施の形態に係るOTPの要部構成を概略的に示す回路図である。

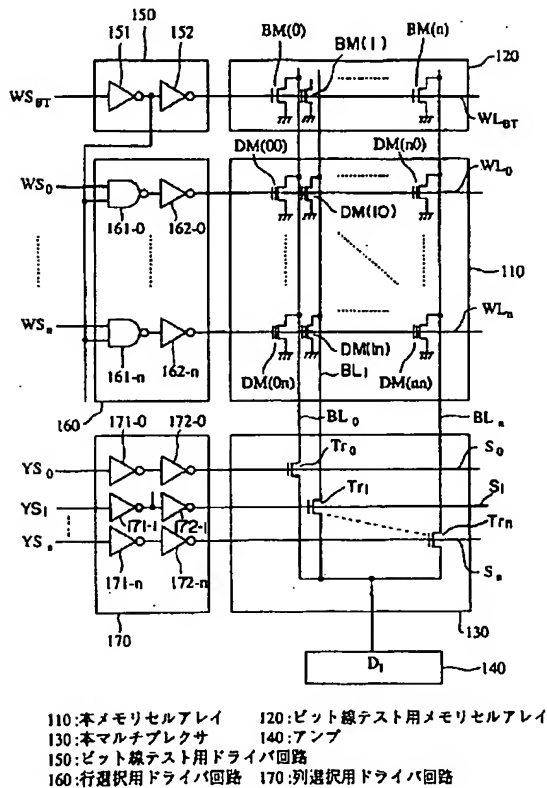
【図3】第3の実施の形態に係るOTPの要部構成を概

略的に示す回路図である。

【符号の説明】

- 110 本メモリセルアレイ  
120 ビット線テスト用メモリセルアレイ  
210 ワード線テスト用メモリセルアレイ  
130 本マルチプレクサ  
220 ワード線テスト用マルチプレクサ

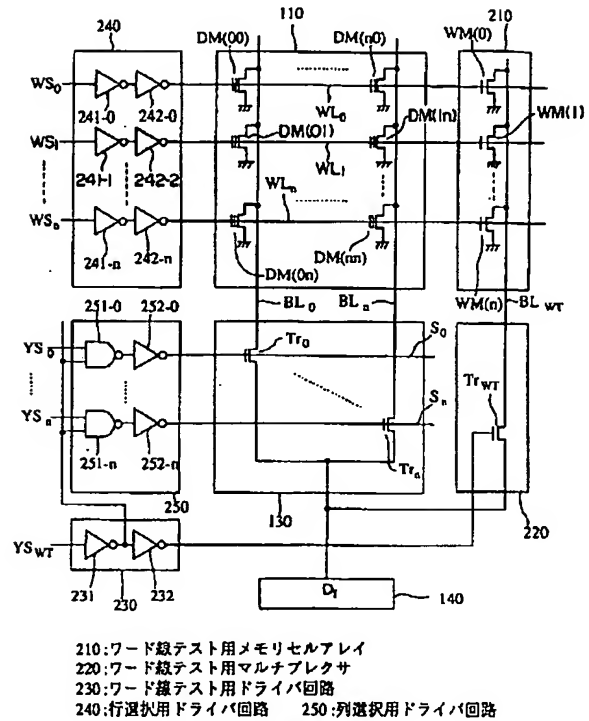
【図1】



第1の実施の形態の構成図

- 140 アンプ  
150 ビット線テスト用ドライバ回路  
160 行選択用ドライバ回路  
170 列選択用ドライバ回路  
230 ワード線テスト用ドライバ回路  
240 行選択用ドライバ回路  
250 列選択用ドライバ回路

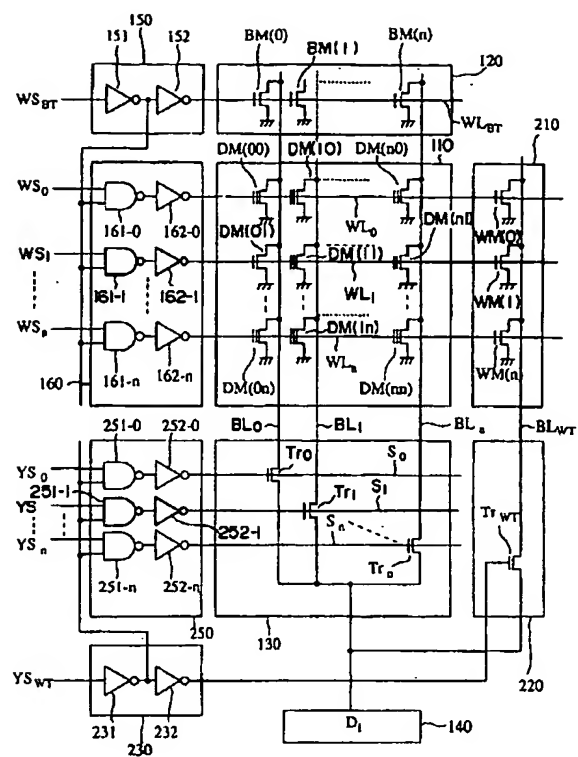
【図2】



第2の実施の形態の構成図



【図3】



第3の実施の形態の構成図